

- For more records, click the Records link at page end.
- To change the format of selected records, select format and click Display Selected.
- To print/save clean copies of selected records from browser click Print/Save Selected.
- To have records sent as hardcopy or via email, click Send Results.

<input checked="" type="checkbox"/> Select All	Format
<input checked="" type="checkbox"/> Clear Selections	Full
<input type="checkbox"/> Print/Save Selected	Display Selected
<input type="checkbox"/> Send Results	

1. 2/19/1

03961632 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

Pub. No.: 04-326732 [JP 4326732 A]

Published: November 16, 1992 (19921116)

Inventor: SUZUKI KOSUKE

KIYOKAWA HAJIME

Applicant: FUJITSU LTD [000522] (A Japanese Company or Corporation), JP (Japan)

Application No.: 03-097373 [JP 9197373]

Filed: April 26, 1991 (19910426)

INTL CLASS: International Class: 5] H01L-021/316; H01L-021/90

JAPIO Class: 42.2 (ELECTRONICS -- Solid State Components)

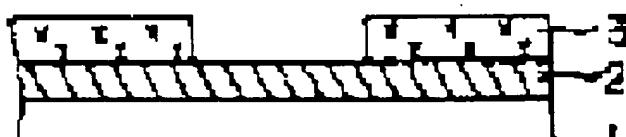
JAPIO Keyword: R004 (PLASMA)

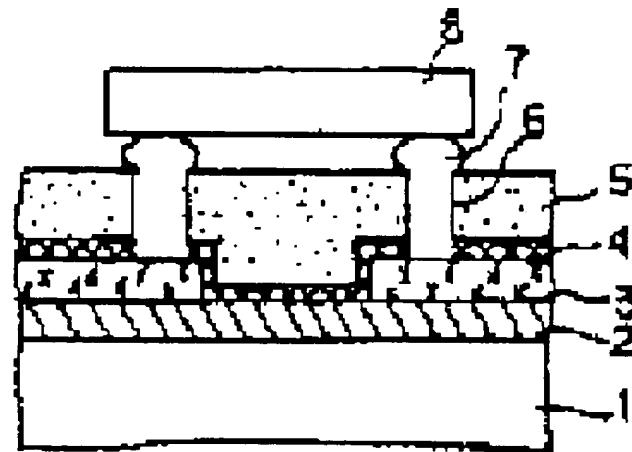
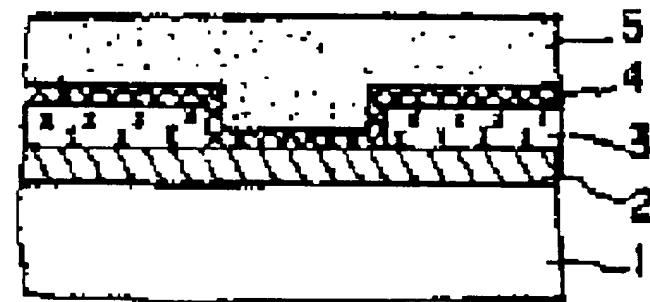
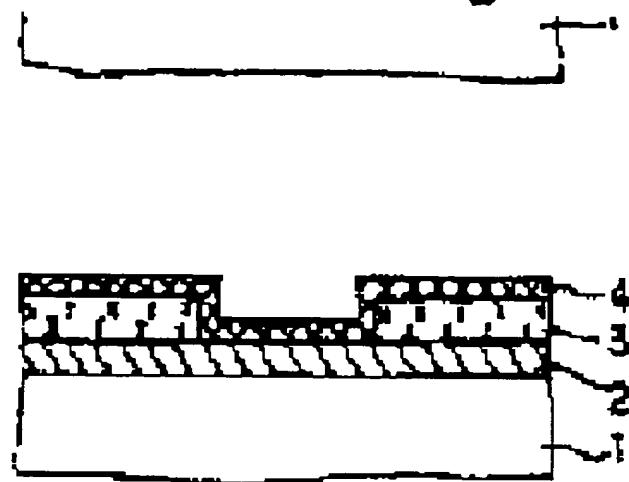
Journal: Section: E, Section No. 1344, Vol. 17, No. 169, Pg. 119, March 31, 1993 (19930331)

ABSTRACT

PURPOSE: To flatten a difference in level and to enhance the thermal conductivity of the title dev wherein a mixed gas by TEOS gas and by TEB gas and a mixed gas by phosphine gas and by oxygen alternately and a chemical vapor growth reaction is executed under a reduced pressure.

CONSTITUTION: By performing a plasma chemical vapor growth reaction, an Si₃N₄ film 4 to cover a Cu interconnection layer 3 in order to prevent the Cu interconnection layer 3 from being mixed gas by tetraethoxysilane TEOS gas and by triethyl borate TEB gas and a mixed gas by phosphine gas and by oxygen gas are introduced alternately; a chemical vapor growth reaction is performed at a growth temperature of 600°C and under a reduced pressure of 1 Torr. Thereby, a borophosphosilicate glass BPSG film 5 is formed on the Si₃N₄ film 4. An Al interconnection layer 7 is formed so as to come into contact with the interconnection layer 3 via a contact hole 6; after that, an LSI semiconductor chip 8 is mounted on the interconnection layer 7. The difference in level which is produced on the surface of the interconnection layer 3 is flattened by an interlayer insulating film.





Translation]

(19) Japan Patent Office

(12) Patent Release (A)

(11) Patent Application Release

Hei.4 (1992)-326732

(43) Release Date: Nov. 16,
1992

(51) Int.Cl ⁵	Ident. No.	Agency Control No. FI	Technology Indicator
H 01 L 21/316		X 8528-4M	
		H 8518-4M	
	21/90	P 7353-4M	

Examination Request: Not yet requested
Items in Application: 2 (Total 4 pages)

(21) Patent Appl. No.: Hei.3-97373

(22) Application Date: April 26, 1991

(71) Applicant: 000005223
FUJITSU Ltd.
1015 Kami-Odanaka, Nakahara-ku
Kawasaki-shi, Kanagawa Prefecture
[Japan]

(72) Inventor: Hajime Kiyokawa
c/o FUJITSU Ltd.
[same address]

(74) Agent: Sadaichi Igeta, Patent attorney

(54) Name of Invention: Method of Manufacturing Semiconductor Device

(57) Summary

Purpose: This invention has the purpose of providing a method for manufacturing a semiconductor device that can use interlayer dielectric film to adequately flatten stepping caused by the wiring layer surface, that can also

raise the heat transmissibility, can make heat radiation away from semiconductor chips improve and can yield a stable semi-conductor device of high reliability.

Makeup: Made up to include a process which forms silica glass film containing boron and phosphorus (BPSG film) on underlying film (4) by introducing a mixture of tetraethoxy- silane gas (TEOS gas) and tetraethylborate gas (TEB gas), alternating that with a mixture of phosphene gas (PH₃ gas) and oxygen gas (O₂ gas) to induce chemical vapor deposition reactions under low pressure.

Scope of Patent Application

Application Item 1: A method of manufacturing a semiconductor device which is characterized by including a process to form silica glass containing boron and phosphorus (BPSG film) on underlying film (4) by introducing a mixture of tetraethoxysilane gas (TEOS gas) and tetraethylborate gas (TEB gas), alternating that with phosphene gas (PH₃ gas) and oxygen gas (O₂ gas) and inducing a chemical vapor deposition reaction under low pressure.

Application Item 2: A method of manufacturing a semiconductor device which is characterized by the above-noted silica glass film containing boron and phosphorus (BPSG film) being an interlayer dielectric film.

Detailed Explanation of Invention

0001 Field for Commercial Utilization: This invention bears on a method for manufacturing a semiconductor device, and specifically bears on a method of manufacturing a semiconductor device which has a process to form an interlayer dielectric film that can cause the surface flattening and heat radiation to improve.

0002 In recent years, in data equipment requiring the high-speed processing of mini-computers a problem has become delays in the wiring (print boards) between ICs; and ways are being devised to systemize entire wafers by attaching IC chips directly wired onto them. With this, manufacturing methods for semiconductor devices are being sought that especially can flatten the wiring steps between IC chips formed on the wafers and can yield a semiconductor device of high reliability.

0003 Existing Technology: Figure 3 is a diagram explaining the usual method of manufacturing semiconductor devices. In Figure 3, 31 is a substrate of silicon or the like. Silicon dioxide film 32 is formed on this substrate 31 to be a dielectric film. 33 is a wiring layer of aluminum, formed on SiO₂ film 32 and patterned, creating a step on its surface. 34 is a polyimide resin film constituting an interlayer dielectric film formed to cover wiring layer 33. Contact hole 35 is made in this polyimide resin film 34, exposing wiring layer 33. 36 is an aluminum wiring layer that makes contact with wiring layer 33 through contact hole 35. On this aluminum wiring layer 36 are arrayed and attached semiconductor chips such as an LSI (IC).

0004 Next I will explain this manufacturing method. First, silicon substrate 31 is thermo-oxidized to form SiO₂ film 32, and aluminum is laminated on SiO₂ film 32 by sputtering to form an aluminum film. After that RIE is used to pattern the aluminum film and form aluminum wiring layer 33. The steps created on the surface of aluminum wiring layer 33 at this time then have polyimide resin applied to cover aluminum wiring 33. It is cured at roughly 450~500°C to form polyimide film 34, which will become interlayer dielectric film. Polyimide resin film 34 is patterned by RIE or the like to form contact hole 35, which exposes aluminum wiring layer 33.

0005 Then aluminum wiring layer 36 is made to make contact with aluminum wiring layer 33 within contact hole 35. By attaching and positioning LSI semiconductor chip 37 on aluminum wiring layer 36, one can get the semiconductor device shown in Figure 3.

0006 Problems the Invention Seeks to Resolve: With the usual semiconductor manufacturing method described above, one has done the flattening of the stepping arising on the surface of wiring 33 and the insulation between wiring layers 33 and 36, with polyimide resin film 34 serving as the interlayer dielectric film. However, with the demand these days for extreme element miniaturization, the problems have arisen that with this polyimide resin film 34 the film thickness is too great and surface flattening inadequate. Also, it has been a problem that with this polyimide resin film 34 heat transmissibility is low and its ability to radiate away heat from semiconductor chip 37 is poor.

0007 So, this invention has the purpose of providing a method for semiconductor device manufacture which can adequately flatten with the interlayer dielectric film the stepping created at the wiring layer surface, also improve heat transmissibility by the interlayer dielectric film and improve its ability to radiate away heat from the semiconductor chip.

0008 Means to Resolve Problems: To attain the above purposes, the semiconductor device manufacturing method of this invention is one that includes a process to form a silica glass film containing boron and phosphorus (BPSG film) on the underlying film by introducing a mixed gas of tetraethoxysilane gas (TEOS gas) and triethylborate gas (TEB gas), alternating that with a mixture of phosphene gas (PH_3 gas) and oxygen gas to produce a chemical vapor deposition reaction at low pressure.

0009 For the underlying film of this invention one could use semiconductor films of silicones, dielectric films of SiO_2 , Si_3N_4 , etc., or conductive films such as copper or the like. In this invention it is desirable that the deposition temperature be between 750°C and 900°C, because below 750°C the deposition rate drops sharply. Also, above 900°C is not desirable because higher temperatures markedly worsen the BPSG film's quality.

0010 Effects: As shown in Figures 1 and 2, to be discussed later, with this invention one can make BPSG film 5 of a more uniform quality than with the usual polyimide resin film because one forms BPSG film 5 while doing reflow below the melting point of the copper that makes up copper wiring layer 3 and so can adequately flatten the stepping created on the surface of copper wiring layer 3. Moreover, by giving BPSG film 5 a heat transmissibility superior to that of the usual polyimide resin film, one can improve its ability to radiate away heat from semiconductor chip 8.

0011 Application Examples: I will explain this invention below basing that on the figures. Figures 1 and 2 are diagrams illustrating one application example of this invention's method of manufacturing a semiconductor device. Figure 1 is a diagram explaining the method of manufacturing a semiconductor device following an application example from this invention, while Figure 2 is a sketch showing a model of the chamber from this invention's application example. In Figures 1 and 2, 1 is

a substrate made of silicon or the like; and silicon dioxide film 2 is formed on this substrate 1 to be a dielectric film. 3 is a copper wiring layer formed by patterning copper film formed on SiO_2 film 2; and Si_3N_4 film 4 is formed on this copper wiring layer 3 to prevent its oxidization. 5 is BPSG film formed on silicon nitride film 4. Contact hole 6 is made in this BPSG film 5 and Si_3N_4 film 4, exposing copper wiring layer 3. 7 is an aluminum wiring layer of aluminum or the like to make contact with copper wiring layer 3 via this contact hole. Semiconductor chip 8, such as an LSI (IC), is installed on aluminum wiring layer 7. 9 is the chamber.

0012 Next I will explain this method of manufacture. First, as shown in Figure 1(a), silicon substrate 1 is thermo-oxidized to form SiO_2 film 2 some 3000D thick. After laminating copper on silicon dioxide film 2 by sputtering or the like to form a copper film some 2~3Fm thick, one uses RIE or the like to pattern the copper film and form copper wiring layer 3. This produces stepping on the surface of copper wiring layer 3.

0013 Then, as shown in Figure 1(b), SiH_3 and NH_3 gases are introduced and a plasma chemical vapor deposition reaction (CVD) is done at 1Torr and a deposition temperature of some $350\text{EC}\sim400\text{EC}$ so as to form Si_3N_4 film 4 some 3000~5000D thick to cover copper wiring layer 3 and prevent its oxidation. At this time, the surface of silicon nitride film 4 also is affected by the stepping on the surface of copper wiring layer 3 and gets stepping.

0014 Now, as shown in Figure 1(c), a mixture of TEOS gas and TEB gas is introduced. alternating with a mixture of PH_3 gas and O_2 gas and a chemical vapor deposition reaction is done at a deposition temperature of 800EC and 1Torr pressure to form flat-surfaced BPSG film 5 some 10Fm thick on Si_3N_4 film 4. Here the test material is arranged in a round chamber, as shown in Figure 2; and introduction of the above-noted mixed gases is done as they circle around the center.

0015 Then contact hole 6 is formed in BPSG film 5 and Si_3N_4 film 4 to expose copper wiring layer 3. After aluminum wiring layer 7 is formed to make contact through this contact hole 6 with copper wiring layer 3, one can mount LSI semiconductor chip 8 on aluminum wiring layer 7 to

yield the semiconductor device shown in Figure 1(d).

0016 I.e., with this application example one forms BPSG film 5 on Si_3N_4 film 4 by introducing a mixture of TEOS gas and TEB gas alternately with a mixture of PH_3 gas and oxygen gas and does a chemical vapor deposition reaction at a deposition temperature of 800°C and a low pressure of 1Torr. Thus, because one forms BPSG film 5 while reflowing at less than the melting point of copper, which makes up copper wiring layer 3, one can form good BPSG film 5 of a more uniform quality than with the usual polyimide resin film and can do adequate flattening of the stepping that arises on copper wiring layer 3's surface.

Moreover, since one has made BPSG film 5 with a heat transmissibility superior to that of the usual polyimide resin film, it can improve the radiation of heat away from semiconductor chip 8. Hence, it can yield a stabilized semiconductor device of high reliability.

0017 With the above application example, I have explained the desirable form of copper wiring layer 3 used from the aspect of durability in heat and conductivity; but this invention is not limited to that, for it would apply also if using such high melting-point metals as tungsten or molybdenum, which have better heat durability than aluminum.

0018 Invention's Effectiveness: This invention has the effect that one can use the interlayer dielectric film to adequately flatten the stepping created on the wiring layer surface, can also improve the heat transmissibility of the interlayer dielectric film and can raise the radiativity for heat from semiconductor chips, thus yielding a stabilized semiconductor chip of high reliability.

Simple Explanation of Figures

Figure 1 is a diagram illustrating the method of fabricating a semiconductor device as worked out in one application example of this invention.

Figure 2 is a sketch of the chamber devised in one application example of this invention.

Figure 3 is a diagram showing the method of manufacturing an example of the usual semiconductor device.

Explanation of Keying Symbols

- 1, 31 ... Silicon substrate
- 2, 32 ... Silicon dioxide film
- 3, 33 ... Copper wiring layer
- 4 Underlying Si_3N_4 film
- 5 BPSG film
- 6, 35 ... Contact hole
- 7, 36 ... Aluminum wiring layer
- 8, 37 ... Semiconductor chip
- 9 Chamber
- 34 Polyimide resin film

(51) Int.Cl.
H 01 L 21/316
21/90

識別記号 庁内整理番号
X 8518-4M
H 8518-4M
P 7353-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平3-97373
(22)出願日 平成3年(1991)4月26日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 鈴木 浩助
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 清川 鑑
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 井桁 貞一

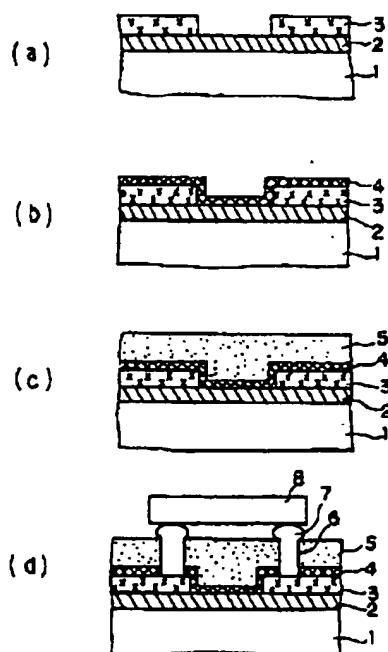
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は、半導体装置の製造方法に関し、配線層表面に生じた段差の平坦化を層間絶縁膜によって十分行うことができ、しかも層間絶縁膜の熱伝導率を良くすることができ、半導体チップからの熱の放射性を向上させることができ、信頼性の高い安定した半導体装置を得ることができる半導体装置の製造方法を提供することを目的とする。

【構成】 テトラエトキシシランガス (TEOSガス) 及びトリエチルボレイトガス (TEBガス) の混合ガスと、ホスフィンガス (PH₃ガス) 及び酸素ガス (O₂ガス) の混合ガスとを交互に導入し、減圧下で化学気相成長反応を行うことにより下地の膜4上にポロンリン含有シリカガラス膜 (BPSG膜) を形成する工程を含むように構成する。

本発明の一実施例に属した半導体装置の製造方法を説明する図



【特許請求の範囲】

【請求項1】 テトラエトキシシランガス(TEOSガス)及びトリエチルボレイトガス(TEBガス)の混合ガスと、ホスフィンガス(PH₃ガス)及び酸素ガス(O₂ガス)の混合ガスとを交互に導入し、減圧下で化学気相成長反応を行うことにより下地の膜(4)上にボロンリン含有シリカガラス膜(BPSG膜)を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記ボロンリン含有シリカガラス膜(BPSG膜)が層間絶縁膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特に表面平坦化と放熱性を向上させることができる層間絶縁膜を形成する工程を有する半導体装置の製造方法に関する。

【0002】 近年、ミニコン等の高速処理を必要とする情報機器においては、IC間の配線(プリント基盤)による遅延が問題となってきており、ICチップを直接配線されたウェハー上に貼り付け、ウェハー全体をシステム化することが考えられてきている。これに伴い、特にウェハー上に形成するICチップ間の配線段差の平坦化と、配線とICチップ間の絶縁とを同時に良好に行うことができ、信頼性の高い半導体装置を得ることができる半導体装置の製造方法が要求されている。

【0003】

【従来の技術】 図3は従来の半導体装置の製造方法を説明する図である。図3において、31はSi等からなる基板であり、この基板31上には絶縁膜となるSiO₂膜32が形成されている。33はSiO₂膜32上に形成されたA1膜がバーニングされ形成されたA1からなる配線層であり、この配線層33表面に段差が生じている。34は配線層33を覆うように形成された層間絶縁膜となるポリイミド系樹脂膜であり、このポリイミド系樹脂膜34には配線層33が露出されたコンタクトホール35が形成されている。36はコンタクトホール35を介してA1配線層33とコンタクトされるA1からなる配線層であり、このA1配線層36上にはLSI(IC)等の半導体チップ37が取り付け配置されている。

【0004】 次に、その製造方法について説明する。まず、Si基板31を熱酸化してSiO₂膜32を形成し、スバッタ法等によりSiO₂膜32上にA1を堆積してA1膜を形成した後、RIE等によりA1膜をバーニングしてA1配線層33を形成する。この時、A1配線層33表面に段差が生じる次に、A1配線層33を覆うようにポリイミド系樹脂を塗布し、450～500℃程度でキュアして層間絶縁膜となるポリイミド系樹脂膜34を形成し、RIE等によりポリイミド系樹脂膜34をバーニングしてA1配線層33が露出されたコンタクトホール35を形成す

る。

【0005】 そして、コンタクトホール35内のA1配線層33とコンタクトを取るよう A1配線層36を形成し、A1配線層36上にLSI半導体チップ37を取り付け配置することにより、図3に示すような半導体装置を得ることができる。

【0006】

【発明が解決しようとする課題】 上記した従来の半導体装置の製造方法では、配線層33表面に生じた段差の平坦化と各配線層33、36間の絶縁とを層間絶縁膜となるポリイミド系樹脂膜34によって行っていたが、近時の厳しい素子微細化の要求に伴い、このポリイミド系樹脂膜34では膜厚分布が大きく表面平坦化が不十分であるという問題があった。また、このポリイミド系樹脂膜34では熱伝導率が低く、半導体チップ37からの熱を放熱する放熱性が悪いという問題があった。

【0007】 そこで本発明は、配線層表面に生じた段差の平坦化を層間絶縁膜によって十分行うことができ、しかも層間絶縁膜の熱伝導率を良くすることができ、半導体チップからの熱の放射性を向上させることができ、信頼性の高い安定した半導体装置を得ることができる半導体装置の製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】 本発明による半導体装置の製造方法は上記目的達成のため、テトラエトキシシランガス(TEOSガス)及びトリエチルボレイトガス(TEBガス)の混合ガスと、ホスフィンガス(PH₃ガス)及び酸素ガス(O₂ガス)の混合ガスとを交互に導入し、減圧下で化学気相成長反応を行うことにより下地の膜上にボロンリン含有シリカガラス膜(BPSG膜)を形成する工程を含むものである。

【0009】 本発明に係る下地の膜には、Si等の半導体膜、SiO₂、Si₃N₄等の絶縁膜、Cu等の導電性膜が挙げられる。本発明においては、成長温度を750℃以上900℃以下にするのが好ましく、750℃より低温にすると成長レートが著しく低下し好ましくないからであり、また900℃より高温にするとBPSG膜の膜質が著しく悪くなり好ましくないからである。

【0010】

【作用】 本発明では、後述する図1、2に示すように、Cu配線層3を構成するCuの融点以下でリフローしながらBPSG膜5を形成するようにしたため、従来のポリイミド系樹脂膜の場合よりも膜質の均一性の良いBPSG膜5を形成することができ、Cu配線層3表面に生じた段差の平坦化を十分行うことができる。しかも、従来のポリイミド系樹脂膜の場合よりも熱伝導率に優れたBPSG膜5を形成しているため、半導体チップ8からの熱の放熱性を向上させることができる。

【0011】

【実施例】 以下、本発明を図面に基づいて説明する。図

1, 2は本発明に係る半導体装置の製造方法の一実施例を説明する図であり、図1は本発明の一実施例に則した半導体装置の製造方法を説明する図、図2は本発明の一実施例に則したチャンバーを示す概略図である。図1, 2において、1はSi等からなる基板であり、この基板1上には絶縁膜となるSiO₂膜2が形成されている。3はSiO₂膜2上に形成されたCu膜がバーニングされ形成されたCuからなる配線層であり、このCu配線層3上にはCu配線層3酸化防止のためのSi₃N₄膜4が形成されている。5はSi₃N₄膜4上に形成されたBPSG膜であり、このBPSG膜5及びSi₃N₄膜4にはCu配線層3が露出されたコンタクトホール6が形成されている。7はこのコンタクトホール6を介してCu配線層3とコンタクトするように形成されたAl等からなる配線層であり、Al配線層7上にはLSI (IC)等の半導体チップ8が取り付け配置されている。9はチャンバーである。

【0012】次に、その製造方法について説明する。まず、図1(a)に示すように、Si基板1を熱酸化して膜厚3000Å程度のSiO₂膜2を形成し、スパッタ法等によりSiO₂膜2上にCuを堆積して膜厚2~3μm程度Cu膜を形成した後、RIE等によりCu膜をバーニングしてCu配線層3を形成する。この時、Cu配線層3表面に段差が生じる。

【0013】次に、図1(b)に示すように、SiH₄ガス及びNH₃ガスを導入し、成長温度を350℃~400℃程度とし1Torr下でプラズマ化学気相成長反応(CVD)を行うことによりCu配線層3を覆うようにCu配線層3酸化防止のために膜厚3000~5000Å程度のSi₃N₄膜4を形成する。この時、Si₃N₄膜4表面にもCu配線層3表面の段差の影響を受け段差が生じる。

【0014】次に、図1(c)に示すように、TEOSガス及びTEBガスの混合ガスとPH₃ガス及びO₂ガスの混合ガスとを交互に導入し、成長温度を800℃とし、1Torrの減圧下で化学気相成長反応を行うことによりSi₃N₄膜4上に膜厚10μm程度の表面が平坦なBPSG膜5を形成する。ここでは図2に示すように、試料が円筒状のチャンバー内で配置されており、上記混合ガスの導入は円筒の中心の回りを回転している際に行われる。

【0015】そして、BPSG膜5及びSi₃N₄膜4にCu配線層3が露出されたコンタクトホール6を形成

し、このコンタクトホール6を介してCu配線層3とコンタクトを取るようAl配線層7を形成した後、Al配線層7上にLSI半導体チップ8を取り付け配置することにより、図1(d)に示すような半導体装置を得ることができる。

【0016】すなわち、本実施例では、TEOSガス及びTEBガスの混合ガスと、PH₃ガス及びO₂ガスの混合ガスとを交互に導入し、成長温度を800℃とし、1Torrという減圧下で化学気相成長反応を行うことによりSi₃N₄膜4上にBPSG膜5を形成するようしている。このように、Cu配線層3を構成するCuの融点以下でリフローしながらBPSG膜5を形成するようにしたため、従来のポリイミド樹脂膜の場合よりも膜質の均一性の良いBPSG膜5を形成することができ、Cu配線層3表面に生じた段差の平坦化を十分行うことができる。しかも、従来のポリイミド系樹脂膜の場合よりも熱伝導率に優れたBPSG膜5を形成しているため、半導体チップ8からの熱の放熱性を向上させることができる。従って、信頼性の高い安定した半導体装置を得ることができる。

【0017】なお、上記実施例では、Cu配線層3にCuを用いる耐熱性、導電性等の点で好ましい態様の場合について説明したが、本発明はこれに限定されるものではなく、Alよりも耐熱性の点で優れたW、Mo等の高融点金属を用いる場合であってもよい。

【0018】

【発明の効果】本発明によれば、配線層表面に生じた段差の平坦化を層間絶縁膜によって十分行うことができ、しかも層間絶縁膜の熱伝導率を良くすることができ、半導体チップからの熱の放射性を向上させることができ、信頼性の高い安定した半導体装置を得ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例に則した半導体装置の製造方法を説明する図である。

【図2】本発明の一実施例に則したチャンバーを示す概略図である。

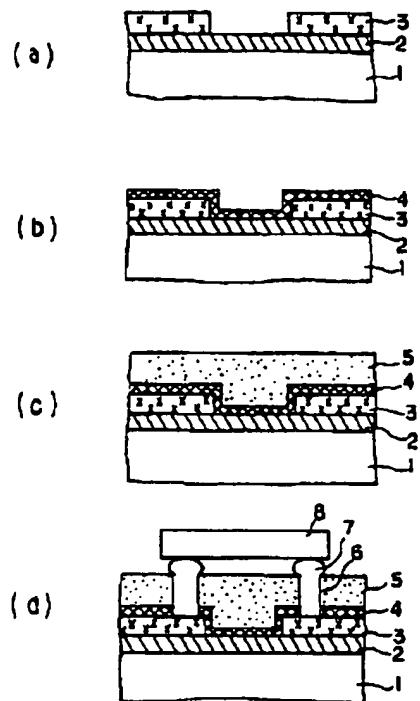
【図3】従来例の半導体装置の製造方法を説明する図である。

【40】【符号の説明】

5 BPSG膜

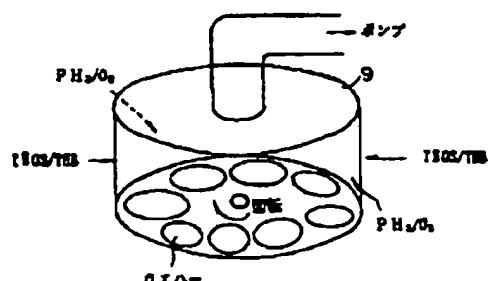
【図1】

本発明の一実施例に属した半導体装置の製造方法を説明する図



【図2】

本発明の一実施例に属したチャンバーを示す断面図



【図3】

従来例の半導体装置の製造方法を説明する図

